# Eksamen 2022

Af Jesper Graungaard Bertelsen, AU-ID: au689481

Indholdsfortegnelse

[Eksamen 2022 1](#_Toc167886977)

[Question 1. CMOS technology 2](#_Toc167886978)

[a. Sketch a CMOS gate from the following equation. 2](#_Toc167886979)

[b. Design the size of the transistor such that . 4](#_Toc167886980)

[c. Transformer til RC model og estimer med Elmore delay modellen. 6](#_Toc167886981)

[d. Simulate the designed circuit in LTspice and check if . 8](#_Toc167886982)

[e. Evaluate the static and dynamic power consumptions for your circuit in LTspice. For dynamic power consumption, change the input from to ABCD = 0100. 9](#_Toc167886983)

[Question 2. Cmos comparison 12](#_Toc167886984)

[a. What’s the static gate that the following CMOS circuits implement. 12](#_Toc167886985)

[b. Describe the advantages and disadvantages of confirguration 1 compared with 2. 12](#_Toc167886986)

[Question 3. VHDL programmering 13](#_Toc167886987)

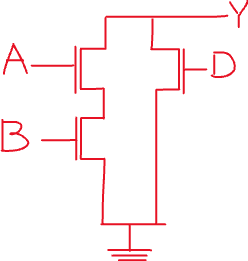
[a. Write a VHDL code for implementing the following truth table that has three inputs *i2, i1, i0* and two outputs *a1 & a0*. 13](#_Toc167886988)

[b. Then write a test bench for it in order to verify your VHDL code. 14](#_Toc167886989)

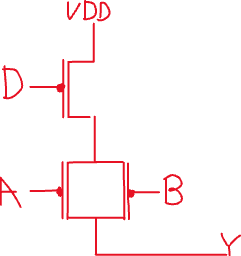
## Question 1. CMOS technology

### Sketch a CMOS gate from the following equation.

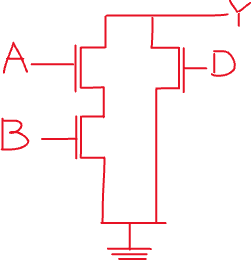
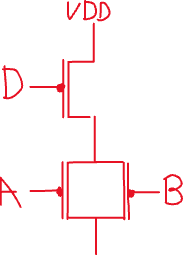
Lad mig så se



Med et pmos netværk, så bliver inputtet inverteret… det vil sige at inputsne som jeg sender ind, skal være funktionens inverterede.



Det fulde netværk.



### Design the size of the transistor such that .

Ting at have in mente.

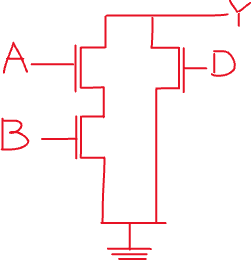
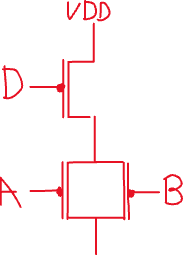
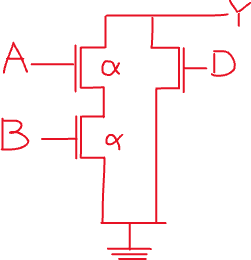
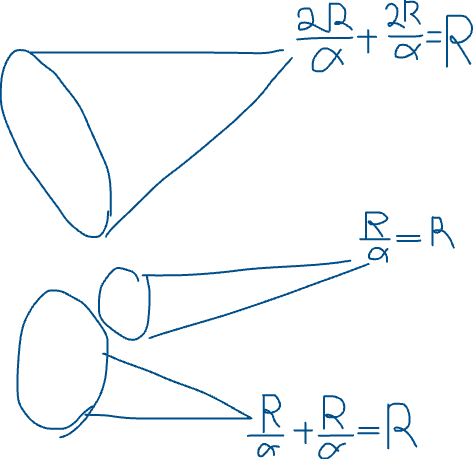
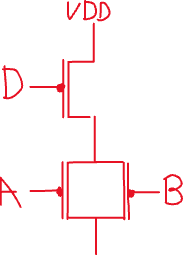
Når man prøver at tilpasse gate sizingen, så ser man på mobiliteten i form af resistans.

En nmos med unit width har en mobilitetet på

For en pmos med en unit width, så har den en mobilitet på

Og strømmen er proportional med , og en halvering i strømmen betyder da en fordobling i resistancen. Det er det jeg har in mente, når jeg skal designe størrelserne.

Målet er at få alle veje til at have en enheds resistans på R



som er en faktor der ganges på min widthen.

### Transformer til RC model og estimer med Elmore delay modellen.

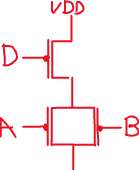
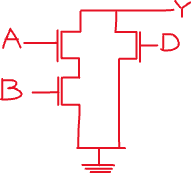
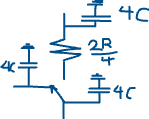
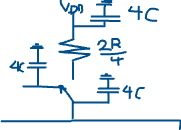
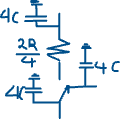
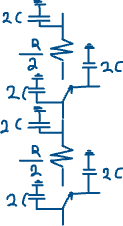
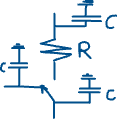
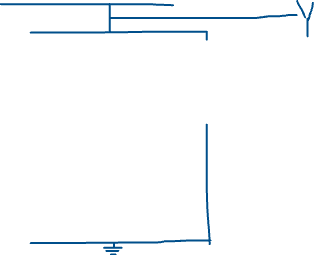
For tilfældet antages der at enheds transistoren har

Til at transformerer dem bruger jeg, at en transistor kan erstattes med

Et billede, der indeholder diagram, tekst, skærmbillede, linje/række

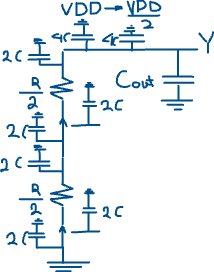
Automatisk genereret beskrivelse

’’’

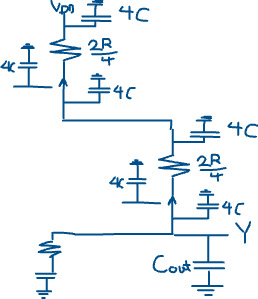


Da jeg har designet systemet, så delayen burde være ens, så burde det være ligegyldigt, hvilken vej jeg går og om det er rise eller fall.

Jeg beregner dog både for rise og fall.



’’’’



Worst case: Worst case:

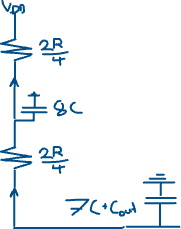
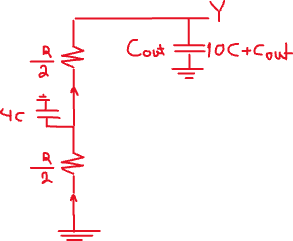


A har været lukket og B har været åbent. D -> 1 ->0, A=1, B=0. er så dens

B’s source kondensator er allerede afladt. D’s d kondensator er afladt. drain kondesator er afladt. D’s s kondensator er konstant

opladt. A’s nmos d og s

kondensatorer oplades.



Der er en lille forskel på delays’ne, men det er også fordi, at rise scenariet var værre en fall scenariet.

Hvis jeg havde valgt at og

Så havde jeg kunnet undlade den halve resistans og de ekstra 4 capacitanser og så havde jeg fået.

Som næsten er det samme som for fall scenariet.

Der er altså forskel på hvilken af nmos’ne der er åbne i tilfældet, hvor at outputtet stiger.

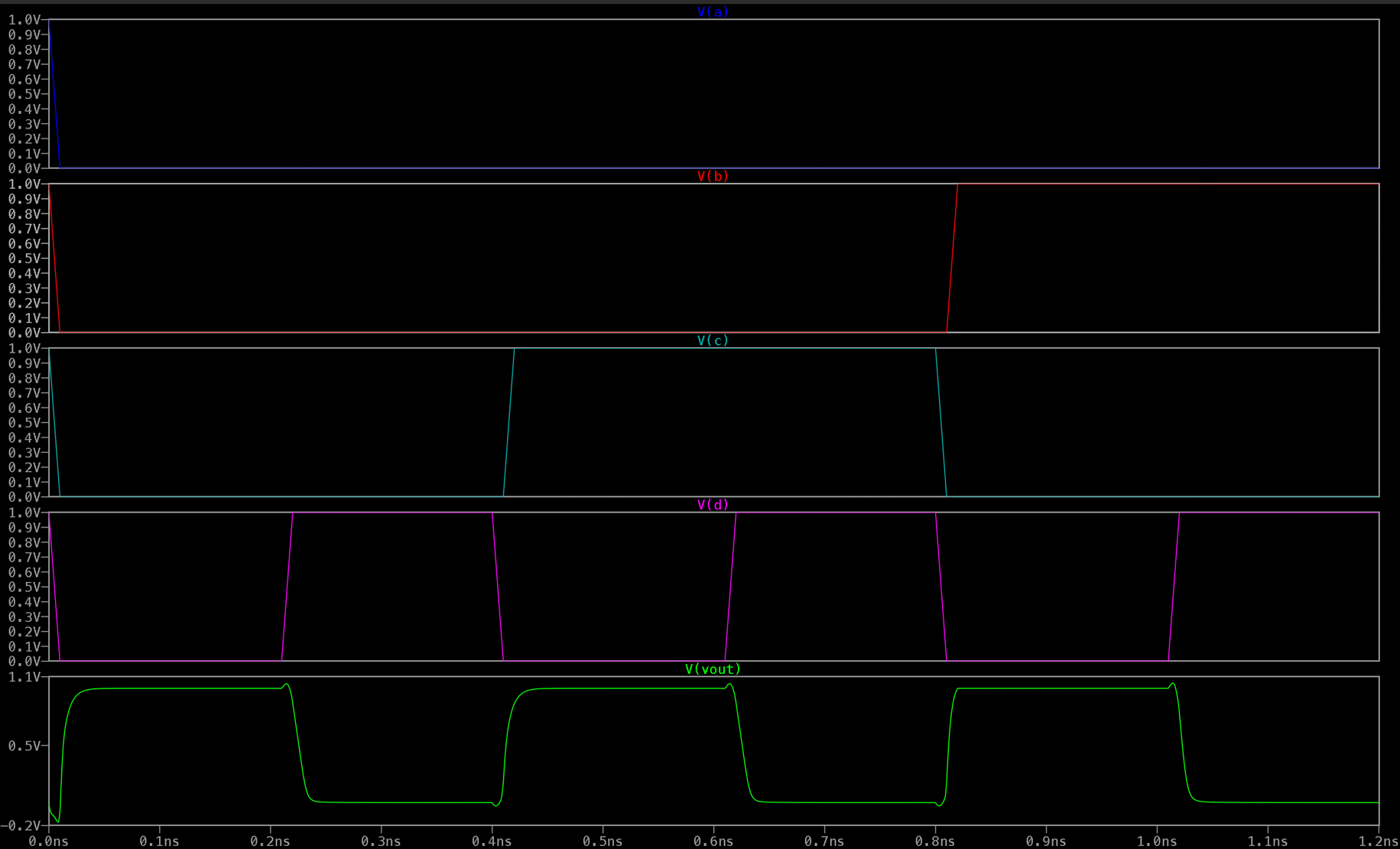
Lad mig sige, at delayet er det værste scenarie, som er god praksis.

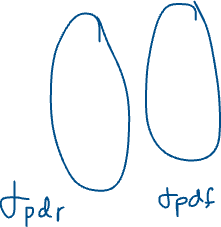
============

============

### Simulate the designed circuit in LTspice and check if .

If , try to make them equal by changing the size of the transistors.

Hvor jeg vælger at se på rise og fall er når , så outputtet afhænger kun af D.



Min simulation:

Et billede, der indeholder tekst, Font/skrifttype, skærmbillede, typografi

Automatisk genereret beskrivelseMine measurements og værdierne:

Et billede, der indeholder tekst, Font/skrifttype, skærmbillede, hvid

Automatisk genereret beskrivelse

Hvor jeg får:

=============

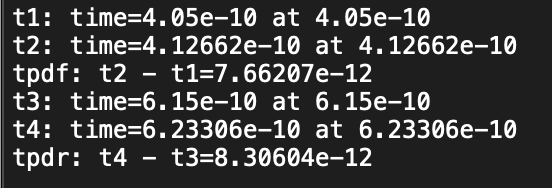
=============

Det er godt nok lige i den lave ende. Jeg ved at elmore ikke er korrekt, men om den estimerer til den langsommere side eller til den hurtigere side, det ved jeg ikke.

Men det er umiddelbart de measurements værdier jeg ser, når jeg selv kigger på grafen.

Der er lidt forskel i dem, så jeg kan prøve at rodde med størrelserne:

Da det er pull up netværket det er galt med, så skifter jeg deres værdier fra 4\*width/L til 3\*width/L



Overraskende nok, så ser jeg, at delays’ne næsten er ens.

Måske er mobiliteten pmos ikke præcis ½ af nmossen. Men det kan jeg ikke sige med sikkerhed.

Mine nye delays:

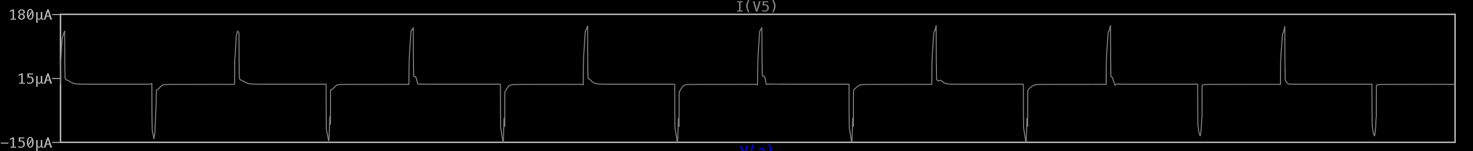
============

============

### Evaluate the static and dynamic power consumptions for your circuit in LTspice. For dynamic power consumption, change the input from to ABCD = 0100.

Strømmen som følge af statisk strøm er den lille smule leakage current, som der findes i virkelige enheder.

Jeg ser strømmen som strømmen der løber fra vdd gennem transistorerne.



Der ses tydeligt spikes, det er som følge af skift i output.



Hvis jeg zoomer ind, så kan jeg bilde mig selv ind, at der løber en lille bitte strøm igennem.

I stedet for grafer, så bruger jeg measurements igen til at finde lekagen.

Min teori er, at den er størst, når alle pmos er lukkede.

Med D værende den mindst significante bit, så er det den der skifter først.

Dermed ser jeg på perioden for dem alle tre lige med 0, og da når D stiger.

Et billede, der indeholder tekst, Font/skrifttype, skærmbillede, hvid

Automatisk genereret beskrivelse

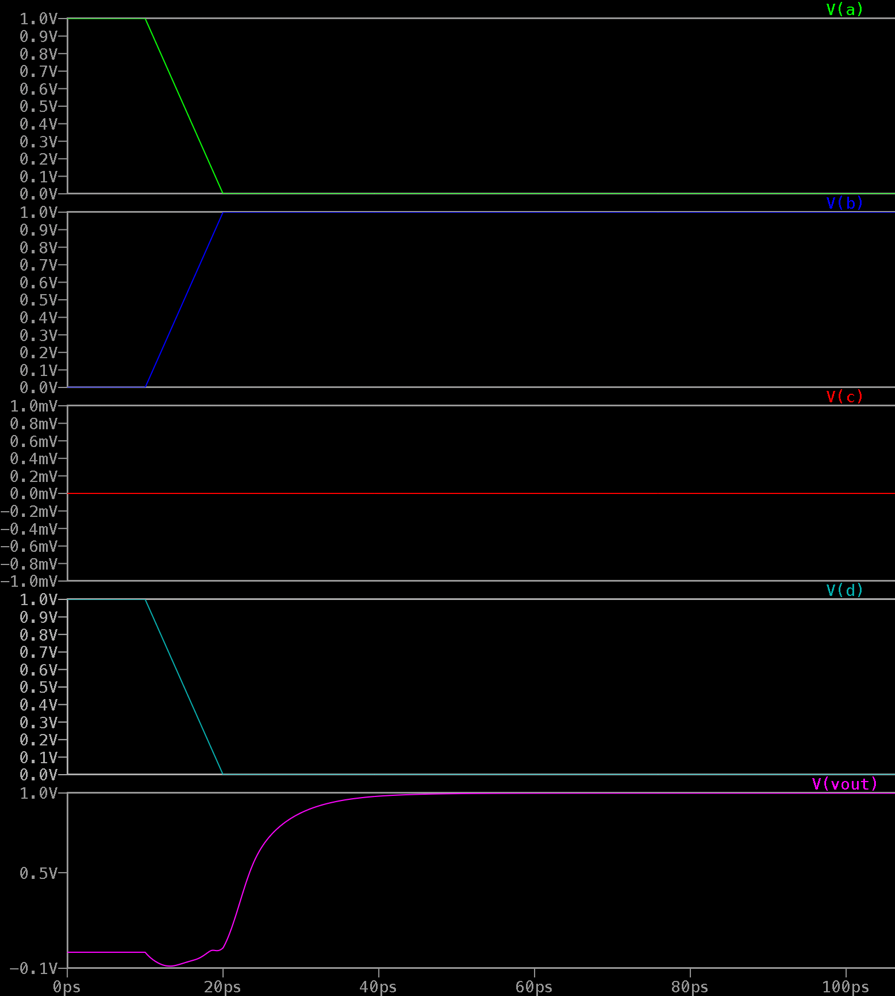
Et billede, der indeholder tekst, Font/skrifttype, skærmbillede, typografi

Automatisk genereret beskrivelse

Med from to finder den vidst mean værdien.

=================

=================

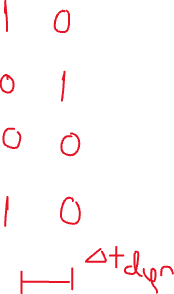
For dynamic power consumption er min strategi:

, hvor jeg antager at hældningen i rise perioden er konstant.

I den periode vil jeg gange strømmen og spændingen sammen for at finde effekten.

Jeg har sat delayet til 10ps

Når så er 1 så kender jeg min næste tid.



Et billede, der indeholder tekst, Font/skrifttype, skærmbillede, Grafik

Automatisk genereret beskrivelse



Jeg kan ikke få beregningen rigtigt, jeg approksimerer:

Et billede, der indeholder skærmbillede

Automatisk genereret beskrivelse



Den kan nogenlunde approksimeres ved 3 trekanter.

Så kan jeg finde den dynamiske effekt

===================================================

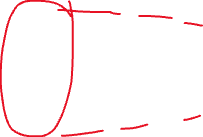
===================================================

## Question 2. Cmos comparison

### Et billede, der indeholder Font/skrifttype, tekst, diagram, linje/række Automatisk genereret beskrivelseWhat’s the static gate that the following CMOS circuits implement.

Et billede, der indeholder tekst, diagram, Font/skrifttype, skærmbillede

Automatisk genereret beskrivelse



Begge implementationer er NAND signaler af A & B.

1. Implementation virker som en buffer med et enable signal som gør, at anden cmos logic gate ikke kan bruges, medmindre enable er HIGH.
2. Implementation er bare et gatet signal. Når Enable er HIGH, så kan en logic 0 løbe over nmosen, og en logic 1 kan løbe over nmossen.

### Describe the advantages and disadvantages of confirguration 1 compared with 2.

Den første implementation bruger et buffer system, hvor den støder på mere capacitans fra alle mosfets’ne. Det er med til at forsinke systemet, så der til hvert skift kræves mere tid. Dette gør design to bedre for højre frekvens skift systemer.

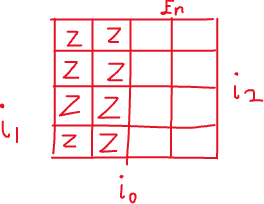
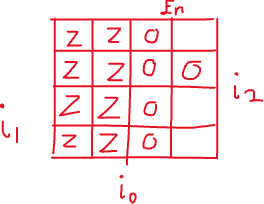
For hver gate som første implementation støder på, bliver signalet fornyet fra VDD. ALTSÅ BUFFET.

Med højre design er det det originale signal som er kilden, og med realiteten af, at virkeligheden ikke er ideel, så kan signalet blive forringet over vejen.

## Question 3. VHDL programmering

### Et billede, der indeholder tekst, skærmbillede, Font/skrifttype Automatisk genereret beskrivelseWrite a VHDL code for implementing the following truth table that has three inputs *i2, i1, i0* and two outputs *a1 & a0*.

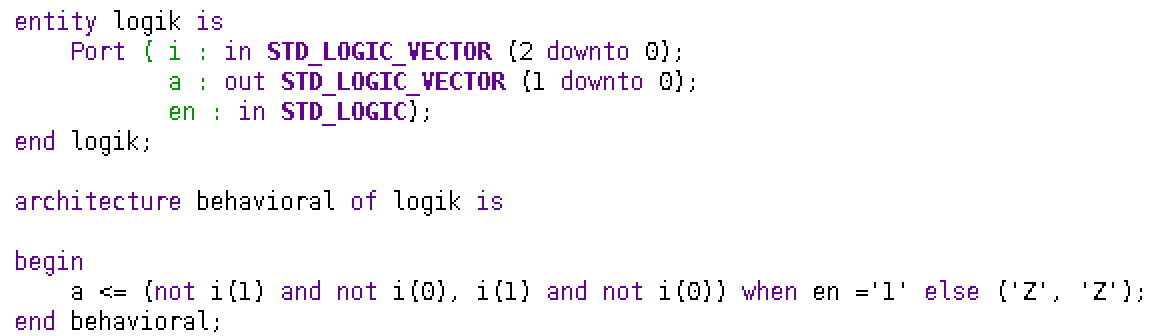
Truth tabellen fortæller om 3 scenarier, som jeg beskriver med det -> eller



Da situationen hvor er ukendt går jeg ud fra, at jeg kan sætte den som don’t care. Det gør det muligt at simplificere den bare en tand mere.

Når enable er fra, så er outputtet bare høj impedansen. Med en conditional assignment beskriver jeg logikken.

Med implementation af entity of arkitekturen



Så burde jeg have outputtet beskrevet.

fortæller ikke hvad der sker når EN er HIGH og

Så det må bare være en don’t care. Med det så kan jeg så simplificere udtrykket til at være:

I chose to chose behavioral as my architecture style.

First I made my entity, then I made the conditional assignment logic

Et billede, der indeholder tekst, skærmbillede, Font/skrifttype

Automatisk genereret beskrivelse

### Then write a test bench for it in order to verify your VHDL code.

Et billede, der indeholder tekst, skærmbillede, Font/skrifttype

Automatisk genereret beskrivelse

Den test bench skabelon som jeg bruger er en der er genereret fra internettet, den er ikke så vigtig i sig selv.

Et billede, der indeholder tekst, skærmbillede, Font/skrifttype, nummer/tal

Automatisk genereret beskrivelse



Så følger der sådan kode for alle 16 muligheder indtil slutningen:

Et billede, der indeholder tekst, Font/skrifttype, hvid

Automatisk genereret beskrivelse

Så ville jeg have kunnet se:



Sådan noget lignende… men jeg bruger Mac med en M chip i, så jeg kører programmet over en linux interpreter, så jeg har ikke programmet integreret til styresystemet som jeg bruger. Og for folk som gør det som jeg gør, så kan man ikke bruge simulationerne.